

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Patent Abstracts of Japan

PUBLICATION NUMBER : 62264678  
PUBLICATION DATE : 17-11-87

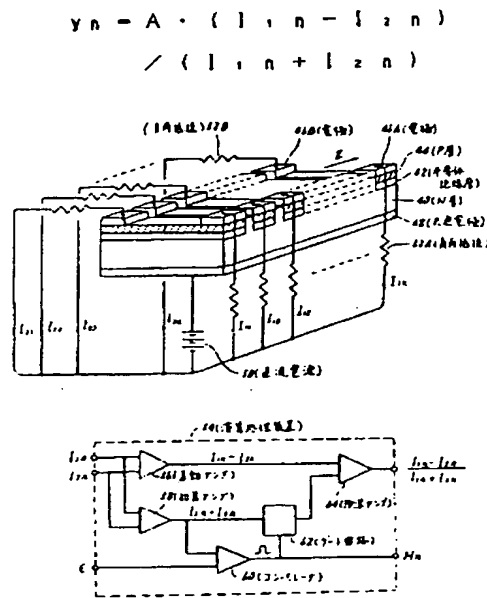
APPLICATION DATE : 12-05-86  
APPLICATION NUMBER : 61108361

APPLICANT : KAWASAKI STEEL CORP;

INVENTOR : SAKURADA KAZUYUKI;

INT.CL. : H01L 31/10 G01D 5/26 H01L 27/14  
H01L 31/16

TITLE : ARRAYED PHOTODIODE



ABSTRACT : PURPOSE: To detect a position of incident light with high precision, by arranging rectangular light-receiving faces of a P-type semiconductor so as to form an array on an N-type high-resistance semiconductor substrate, attaching electrodes in contact with the ends of the longitudinal sides of the light-receiving faces and providing a common electrode on the bottom face of the substrate.

CONSTITUTION: An I-type layer 42 and a P-type layer 44 are formed on an N-type high-resistance semiconductor substrate 40. Electrodes 46A and 46B are provided at the ends of the structure and an N<sub>+</sub>-type common electrode layer 48 is provided on the bottom face of the substrate. In this manner, K element arrays are produced. The positive pole of a DC power source 50 is connected to the common electrode 48 while the negative pole is connected to the electrodes 46A and 46B via load resistances 52A and 52B. When light is applied to the P-type layer 44, photocurrents I<sub>11</sub>~I<sub>1k</sub> and I<sub>21</sub>~I<sub>2k</sub> flow through the load resistances 52A and 52B, respectively. An arithmetic logic unit 54 subtracts the I<sub>2n</sub> from the I<sub>1n</sub> by means of a differential amplifier 56 and sums them by means of a summing amplifier 58, while a comparator 60 compares the summed value with a predetermined value and outputs only the values larger than the predetermined value as gate output. They are divided by a dividing amplifier 64 and a value of (I<sub>1n</sub>-I<sub>2n</sub>)/(I<sub>1n</sub>+I<sub>2n</sub>) is outputted. When the output H<sub>n</sub> of the comparator 60 is 'H', light is detected by the (n)th element and the position Y<sub>n</sub> at that moment can be obtained by calculation.

COPYRIGHT: (C)1987,JPO&Japio

⑩ 日本国特許庁(JP) ⑪ 特許出願公開  
⑫ 公開特許公報(A) 昭62-264678

⑬ Int. Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑭ 公開 昭和62年(1987)11月17日  
H 01 L 31/10 A-6819-5F  
G 01 D 5/26 A-7905-2F  
H 01 L 27/14 7525-5F  
31/16 6819-5F 審査請求 未請求 発明の数 2 (全7頁)

⑮ 発明の名称 アレイ型ホトダイオード

⑯ 特 願 昭61-108361

⑰ 出 願 昭61(1986)5月12日

⑱ 発 明 者 桜 田 和 之 半田市川崎町1丁目1番地 川崎製鉄株式会社知多製造所  
内

⑲ 出 願 人 川崎製鉄株式会社 神戸市中央区北本町通1丁目1番28号

⑳ 代 理 人 弁理士 高 矢 諭 外1名

明 細 書

1. 発明の名称

アレイ型ホトダイオード

2. 特許請求の範囲

(1) P型半導体で形成された長方形の受光面を有する受光部が、N型高抵抗半導体基板上に複数個アレイ状に形成されていて、各P型半導体受光面の長手方向の両端部に接して電極が設けられると共に、前記N型高抵抗半導体基板上に前記受光部が形成された面に対する裏面に接して、前記共通電極に対する電極が設けられたことを特徴とするアレイ型ホトダイオード。

(2) P型半導体で形成された長方形の受光面を有する受光部が、N型高抵抗半導体基板上に複数個アレイ状に形成されていて、各P型半導体受光面の長手方向の両端部に接して電極が設けられると共に、前記N型高抵抗半導体基板上に前記受光部が形成された面に対する裏面に接して、前記電極に対する共通電極が設けられたアレイ型ホトダイオードであつて、各受光面の両端部に接する各

電極を流れる各電流の和が所定値より小さいかを判定する手段と、判定結果から光の当たっている受光部と光の当たっていない受光部とを弁別する手段と、を備えたことを特徴とするアレイ型ホトダイオード。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、アレイ型ホトダイオードに係り、特に、点状又は帯状入射光の位置検出を行う際に用いるのに好適な、アレイ型ホトダイオードに関する。

〔従来の技術〕

従来、物体の位置を光学的に検出する装置には、該物体からの反射光の位置を検出する光学素子として、例えば特開昭57-24814で開示された如きホトダイオードがあり、このようなホトダイオード(Position Sensitive Device、以下、PSDという)には、例えば第5図に模式的に示されるような構造を有するものがある。なお、このPSDは、N型半導体で形成される高抵抗半

導体基板(以下、N層という)10と、該N層10上に設けられる、通常一層の薄い半導体絶縁層12と、更にその上に設けられるP型半導体で形成される半導体表面層(以下、P層という)14と、前記N層10の下面に形成されるN<sup>+</sup>層に取付けられる電極16と、前記P層14の長手方向両端に設けられる電極18A、18Bと、各電極16、18A、18Bにバイアス電圧を印加するための直流電源20と、このPSDに光が入射しオンとなつた際の電流が流れる負荷抵抗22A、22Bと、を備える。

今、図に示すPSDのP層14の表面である受光面14Aの一点に入射光Lが当たると、空乏層である絶縁層12中に正負の電子正孔対が発生し、この電子正孔対の内、極性が負の電子は前記N層10へ流入し、極性が正の正孔はP層14へ流入する。N層10へ流入した電子はそのまま電極16を介して電源20の中へ流れていく。

一方、P層14へ流入した正孔が各電極18A、18Bへ流すためには、該P層14の長手方向

に沿つて流れなければならない。しかしながら、このP層14には電気抵抗があるため、各電極18A、18Bを介して抵抗22A、22B中を流れる電流 $I_1$ 、 $I_2$ は、前記入射光Lの位置に応じて異なり同じ値とならない。

前記PSDはこの各電流 $I_1$ 、 $I_2$ の値を用いて前記入射光Lが当たった位置を測定するものであり、その測定は以下のようにして行う。

即ち、例えば前記入射光Lの光ビームが当たった位置が、前記P層14の長手方向中心位置(図中符号Mで示す)より、受光面14Aの長手方向に $y$ だけ変位した位置であるとする、前記負荷抵抗22A、22Bを流れる電流(以下、光電流という) $I_1$ 、 $I_2$ から、変位 $y$ は次式(1)によつて算出できる。

$$y = A \cdot (I_1 - I_2) / (I_1 + I_2) \quad \dots (1)$$

ただし、Aは比例定数である。

ところで、第5図に示すような従来のPSDは、主として物体の位置検出装置の一部品として供さ

れることが多い。例えば、スポット状のレーザー光等を被測定物に照射し、該被測定物から反射する光ビームを図に促したような受光面14Aに入射して、この変位 $y$ を前出(1)式で算出して測定すれば、前記被測定物までの距離を正確に検出することができる。

ここで、前記PSDを用いて被測定物までの距離を検出する測定装置の1例を第6図に示す。図はこの装置の概略構成を示すもので、レーザー等の光源24で発生した光が照明レンズ26で収束され、照明光28Aとなつて被測定物30に当たる。該被測定物30からは前記照明光28Aの反射光28Bが生じ、該反射光28Bは集光レンズ32で収束されて位置検出器34に取込まれる。この位置検出器34内には第5図に示したような位置検出用のホトダイオード即ちPSD36が備えられ、該PSD36で光の変位を検出し、検出された変位は光電流 $I_1$ 、 $I_2$ となつて演算部38に流入し、該演算部38はその光電流 $I_1$ 、 $I_2$ により前記変位を(1)式により算出する。

以上のような構成のこの測定装置は、被測定物30が図中矢印のA、B方向に移動した時の移動位置を反射光28Bによつて測定するもので、被測定物30のX軸方向の変位によりPSD36の受光面に入射する反射光が移動して、受光面14Aの長手方向(Y軸方向)の変位 $y$ となる。従つて、演算部38でこのY軸方向の変位を示す2つの光電流 $I_1$ 、 $I_2$ を演算すれば、被測定物30までの距離を三角測量の原理を用いて測定することができる。

【発明が解決しようとする問題点】

しかしながら、前記従来のPSDにおいては、被測定物との距離を測定するに際し、レーザー光が当たっている被測定物上の一点を代表点として、その代表点と測定物装置間の距離を測定することとしているため、該被測定物の代表点以外の点と測定装置間の距離を同時に測定することができないという問題点を有していた。

又、もし被測定物表面の複数の点と測定装置間の距離を同時に測定できるとすれば、前記被測定

物の形状を測定することも可能となるが、前記従来のPSDにおいてはこのような測定は不可能であつた。

〔発明の目的〕

本発明は、前記従来の問題点に鑑みてなされたものであつて、一体の構造で、受光される入射光の入射位置を精度良く検出できるアレイ型ホトダイオードを提供することを目的とする。

〔問題点を解決するための手段〕

本発明は、P型半導体で形成された長方形の受光面を有する受光部が、N型高抵抗半導体基板上に複数個アレイ状に形成されていて、各P型半導体受光面の長手方向の両端部に接して電極が設けられると共に、前記N型高抵抗半導体基板上に前記受光部が形成された面に対する裏面に接して、前記電極に対する共通電極が設けられたことにより、前記目的を達成したものである。

又、本発明は、P型半導体で形成された長方形の受光面を有する受光部が、N型高抵抗半導体基板上に複数個アレイ状に形成されていて、各P型

面層(P層)、46A、46Bは該P層の表面各両端に設けられる電極、48は前記N層40下面のN<sup>+</sup>で形成された層に取付けられる共通電極である。この場合、半導体絶縁層42と、P層44、電極46A、46B等の素子で構成される集合素子(以下、アレイという)の数をK個とすると、当然それらアレイ毎の構成素子はそれぞれK個あることになる。このKの値はこのアレイ型ホトダイオードの使用目的に応じて決めることができる。

以上のような構成のアレイ型ホトダイオードに、第1図に示すように直流電源50の正極を共通電極48に接続し、該直流電源50の負極を各負荷抵抗52A、52Bを介して前記電極46A、46Bに接続して、位置検出用のアレイ型ホトダイオード(以下、アレイ型PSDという)を構成することができる。

このように構成されたアレイ型PSDで被測定物の位置を検出する際には、その基本はPIN構造を有するホトダイオードと同一であつて、まず、K個並べられるP層44の全数あるいはその一部

半導体受光面の長手方向の両端部に接して電極が設けられると共に、前記N型高抵抗半導体基板上に前記受光部が形成された面に対する裏面に接して、前記電極に対する共通電極が設けられたアレイ型ホトダイオードであつて、前記各受光面の両端部に接する各電極を流れる各電流の和が所定値より小さいか否かを判定する手段と、判定結果から光の当っている受光部と光の当たっていない受光部とを弁別する手段とを備えたことにより、同じく、前記目的を達成したものである。

〔作用〕

以下、本発明の作用について説明する。

本発明に係るアレイ型ホトダイオードの構成の1例を第1図に示す。このアレイ型ホトダイオードは、N型半導体で構成される高抵抗半導体の同一基板40上に、あたかも前出第5図に示した従来のPSDに係るホトダイオードを图中矢印Z方向にK個アレイ状に並べて形成したような構造とされる。なお、図において、42は薄い半導体絶縁層(通常1層とされる)、44はP型半導体表

面に光が入射すると、光の当ったP層44に接続されている負荷抵抗52A、52Bに光電流 $I_{1n} \sim I_{1k}$ 、 $I_{2n} \sim I_{2k}$ が流れる。従つて、この光電流 $I_{1n} \sim I_{1k}$ 及び $I_{2n} \sim I_{2k}$ の電流値を測定して各アレイ毎について次式(2)のように測定物までの距離 $y_n$ (n番目のアレイで検出される距離)を求めれば、各々のP層44表面における入射光の位置 $y_n$ が測定できる。

$$y_n = A \cdot (I_{1n} - I_{2n}) / (I_{1n} + I_{2n}) \quad \dots \dots (2)$$

ただし、光の当たっていない部分(d番目のアレイとする)については、光電流 $I_{1d}$ 、 $I_{2d}$ の値が極小値となり、(2)式が発散することもあるため、(2)式の演算処理を行う前に次式(3)の判断処理を、例えばコンパレータ回路とゲート回路の組合せ回路を通して行い、演算処理を行うべき光電流 $I_{1n}$ 、 $I_{2n}$ を知る必要がある。なお、この場合、(3)式が成立すれば(2)式が発散するため、(3)式の成立しない光電流 $I_{1n}$ 、 $I_{2n}$ について演算処理を行うことができる。

$$(I_{1n} + I_{2n}) < \varepsilon \quad \dots\dots (3)$$

ただし、 $\varepsilon$ は定数である。

又、このように処理することにより、(3)式が成立すれば入射光が最小であると判断できるため、光の当たっていないP面44と光の当たっているP面44を精度良く弁別することができる。そして、このように弁別すれば(2)式の演算を光の当たっていないアレイについて行う必要がなくなるため、演算装置全体として演算回数が減少し、演算時間を短縮することもできる。

ここで、(3)式の演算処理を行うための演算処理装置の回路例を第2図に示す。図に示す演算処理装置54は第1図に示したアレイ型PSDのn番目のアレイに接続される処理装置である。従って、このアレイ型PSDに接続される演算処理装置54はK個必要となる。

該演算処理装置54には差動アンプ56が備えられ、これにより光電流 $I_{1n}$ から光電流 $I_{2n}$ を減算する。又同じ光電流 $I_{1n}$ 、 $I_{2n}$ は加算アンプ58で加算される。この加算アンプ58で

加算された加算電流 $(I_{1n} + I_{2n})$ の値はコンパレータ(比較器)60に入力される。該コンパレータ60は、(3)式に基づきその加算電流の値が設定値 $\varepsilon$ よりも大きい時高レベルの電圧信号を出力し、加算電流の値が $\varepsilon$ よりも小さい時低レベルの電圧信号を出力する。このようにして出力された電圧信号はゲート回路62に入力され、コンパレータ60の出力電位が高レベルの場合のみ、前記加算アンプ58の出力値がそのままこのゲート回路62の出力電位となつて除算アンプ64に入力される。そして、出力電位が入力された除算アンプ64の除算出力値は $(I_{1n} - I_{2n}) / (I_{1n} + I_{2n})$ となる。

従つて、この演算処理装置54においては、コンパレータ60の出力電位を $H_n$ とすると、 $H_n$ が高レベルの時にn番目のアレイが照射光を検知しており、その時にそのアレイ上の照射光の位置 $y_n$ を(2)式に基づき算出できる。

なお、以上述べたアレイ型PSDにおいては、あたかもPIN構造のホトダイオードを複数、ア

レイ状に集合させた如きアレイ型PSDについて説明したが、集合されるホトダイオードはPIN構造のダイオードに限定されるものではなく、例えばPN接合型あるいはショットキー接合型等の構造のホトダイオードで形成することも可能である。

#### 【実施例】

以下、本発明に係るアレイ型ホトダイオードの実施例について詳細に説明する。

この実施例は、前出第1図に示したアレイ型PSDを、第3図に示すような、被測定対象物66の外表面プロファイルを非接触で測定する装置に適用したものである。

この測定装置には、第3図に示されるように被測定物66に帯状照射光68Aを照射する例えばレーザー発振装置からなる光照射装置70と、前記被測定対象物66から反射される帯状反射光68Bを集光するための集光レンズ72と、集光された帯状反射光が入射する前出第1図に示したようなアレイ型PSD74と、該アレイ型PSD7

4の出力信号によりアレイ型PSDの各アレイ上の光の位置 $y_n$ を求めるため、前出第2図に示した演算処理装置54をアレイの数K個と等しい数だけ有する演算処理装置76と、該演算処理装置76の出力信号により前記被測定対象物66の外表面プロファイルを算出する演算装置78とが備えられる。

以下、実施例の作用を説明する。

第3図に示すように、被測定対象物66の外表面プロファイルを測定する際には、まず、光照射装置70から帯状照射光68Aを前記被測定対象物66の表面に向かって照射する。照射された帯状照射光68Aは前記被測定対象物66表面で反射され帯状反射光68Bとなり集光レンズ72に入射する。該集光レンズ72で集光された帯状反射光68Bはアレイ型PSD74の表面に集光される。該アレイ型PSD74に集光された帯状レーザーの反射光は第4図に示されるような、前記被測定対象物66の該表面プロファイルに応じた集光パターン(符号Aで示す)を形成する。この

ようにして形成された集光パターンAは、アレイ型PSD74上の各アレイ毎の素子からの光電流 $I_{1n}$ 、 $I_{2n}$ を測定して前出(2)式によつて入射光の位置 $y_n$ を算出すれば、求めることが可能である。

従つて、演算処理装置76は、アレイ型PSD74の出力信号に基づき、前出(2)式に基づいて各アレイ型PSD74上の素子の光の位置 $y_n$ を算出し、集光パターンAを求める。なお、その際、前出(3)式で光電流 $I_{1n}$ 、 $I_{2n}$ が演算すべき値か否かを弁別する。

求められた集光パターンAは外表面プロファイルの演算装置78に入力され、該演算装置78は入力集光パターンAを用い、光照射装置70とアレイ型PSD74との相互の位置関係に基づき、三角測量の原理により前記被測定対象物66の外表面プロファイルを求める。その際、光の当たっているアレイと当たっていないアレイが弁別され、その光の当たっているアレイの位置から、第1図Z方向の入射位置を検出でき、より正確に前記外表面

プロファイルを知ることができる。

以上のように、この実施例に係るアレイ型PSDにおいては、第4図に示される集光パターンAを第1図に示されるアレイ型PSDで検出できるため、第5図に示されるような従来のホットダイオードを用いて同様の集光パターンAを検出しようとした際に問題となる各ダイオード間の絶縁やそれによる構成の大型化等を解消し、更に一体に形成されているため小型化できると共に大量生産による低価格化を図ることができる。

又、従来のホットダイオードにおいては、第5図に示されるように各PSD毎にN型高抵抗半導体の層を形成しなければならないため、第4図に示されるような集光パターンAを検出する際には、並列に並べて多数使用しなければならないが、その製造費用の点で問題とされるが、本実施例においては第1図に示されるようにN型の高抵抗半導体の同一基板40上に同様の機能を有するP層44と半導体絶縁層42からなるアレイを設けて形成しているため、N型半導体層を各アレイ毎に形成す

る必要がなく、全体としての製造費を減少させて更に費用削減を図ることができる。

なお、前記実施例においては、第1図に示されるような各アレイの長手方向を並列とするような構成とされたアレイ型ホットダイオードについて例示したが、本発明が適用されるアレイ型ホットダイオードはこのような構成のものに限定されるものではなく、N型高抵抗半導体基板上に長方形の受光面を有する受光部が複数個アレイ状に形成されているものであれば、本発明によるアレイ型ホットダイオードを構成できる。

又、前記実施例においては、PIN構造のホットダイオードを複数、P型高抵抗半導体基板上に形成した如きアレイ型ホットダイオードについて例示したが、受光部の構造はPIN構造のホットダイオードに限定されず、他の例えばPN接合型あるいはショットキー接合型等の構造を有するホットダイオードで形成することが可能である。

又、前記実施例においては、第3図に示されるような被測定対象物の外表面プロファイル測定装

置について本発明に係るアレイ型ホットダイオードを適用した場合について例示したが、本発明に係るアレイ型ホットダイオードが適用される装置はこのような外表面プロファイル測定装置に限定されるものではなく、他の装置に適用できることは明らかであり、他の光学的位置検出手段として多くの適用が考えられる。

#### (発明の効果)

以上説明した通り本発明によれば、一体の構造で、受光される入射光の各部分の入射位置を精度良く検出できる。従つて、被測定物上の複数の点に帯状光を照射し、該被測定物の複数の点から反射する光ビームを受光して同時にそれら複数の点からの光ビームを検出することができるため、前記被測定物上の複数の点の位置を同時に精度良く検出することができる等の優れた効果を有する。

#### 4. 図面の簡単な説明

第1図は本発明に係るアレイ型ホットダイオードの構成の一例を示す斜視図、第2図は前記アレイ型ホットダイオードの出力信号から受光位置を検出

特開昭62-264678(6)

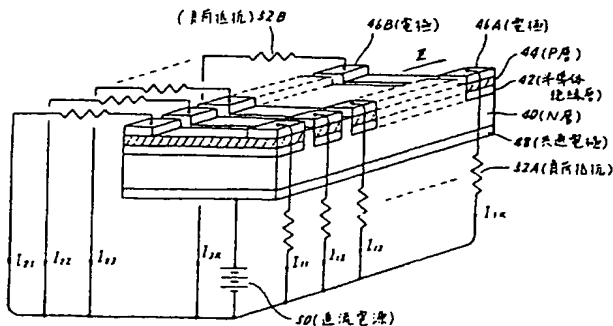
するための演算処理装置の例を示すブロック図、  
第3図は、本発明に係るアレイ型ホトダイオード  
を使用した実施例の全体構成を示す一部ブロック  
図を含む斜視図、第4図は前記実施例に用いら  
れるアレイ型ホトダイオードの構成の例を示す平  
面図、第5図は従来のホトダイオードの構成を示  
す斜視図、第6図は前記従来のホトダイオードを  
用いた物体の位置検出装置の例を示す一部断面図  
を含むブロック図である。

60…コンパレータ、  
62…ゲート回路、  
64…除算アンプ、  
66…被測定対象物、  
68A、68B…帯状照射光、  
70…光照射装置、  
74…アレイ型PSD、  
78…演算装置。

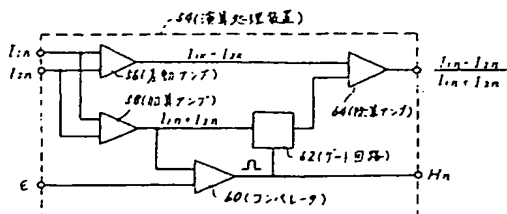
40…N型高抵抗半導体基板(N層)、  
42…半導体絶縁層、  
44…P型半導体表面層(P層)、  
46A、46B…電極、  
48…共通電極、  
50…直流電源、  
52A、52B…負荷抵抗、  
54、76…演算処理装置、  
56…差動アンプ、  
58…加算アンプ、

代理人 高 矢 論  
松 山 圭 佑

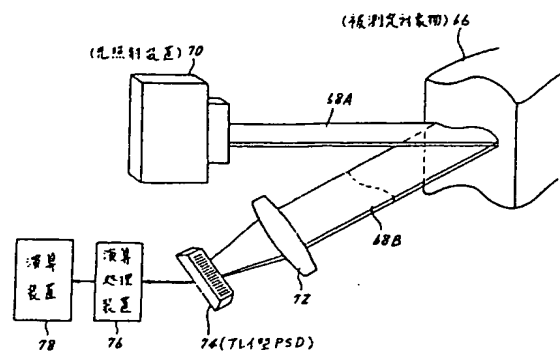
第1図



第2図



第3図



第4図





